### Bài tập 1 (Dễ): Bộ chọn 4:1

**Mục tiêu:**  
Luyện tập Lexical Conventions (cách viết module, khai báo biến, cú pháp), Modules and Ports, và Verilog Operators (toán tử chọn ? :).

**Yêu cầu:**

Viết một module **mux\_4\_1** gồm:

4 ngõ vào dữ liệu (d0, d1, d2, d3 – kiểu logic 1 bit)

2 bit chọn (sel – kiểu logic 2 bit)

1 ngõ ra (y – 1 bit)

Sử dụng toán tử ? : để chọn giá trị đầu ra dựa trên sel.

**Gợi ý:**

Sử dụng lồng ghép toán tử ? :.

Sử dụng module, port, và khai báo kiểu dữ liệu (input, output, wire hoặc reg).

**Yêu cầu viết Testbench:**

Khởi tạo: d0 = 0, d1 = 1, d2 = 0, d3 = 1.

Cho sel chạy từ 0 đến 3, quan sát đầu ra y.

### Bài tập 2 (Trung bình): Nối chuỗi và dịch trái

**Mục tiêu:**  
Kết hợp Data Types, Concatenation Operator và Shift Operators.

**Yêu cầu:**

Viết module **concat\_shift** với:

2 ngõ vào 4 bit (a, b).

1 ngõ ra 8 bit (out).

Trong module:

Nối 2 ngõ vào a và b lại thành out.

Sau đó, dịch trái out 2 bit (sử dụng toán tử <<).

In kết quả ra bằng $display.

**Yêu cầu viết Testbench:**

Gán a = 4’b1010, b = 4’b0101.

Quan sát kết quả sau khi nối và sau khi dịch trái.

### Bài tập 3 (Khó): Bộ tạo mẫu sóng (Waveform Generator)

**Mục tiêu:**  
Tích hợp Lexical Conventions, Data Types, Modules and Ports, và Verilog Operators (logic, nối, nhân bản).

**Yêu cầu:**

Viết module **waveform\_gen**:

1 ngõ vào 1 bit (en).

1 ngõ vào 2 bit (pattern).

1 ngõ ra 8 bit (wave).

Ý tưởng:

Nếu en = 1, nhân bản pattern 4 lần thành wave (dùng toán tử nhân bản {}).

Nếu en = 0, wave = 8’bzzzzzzzz (ba trạng thái không xác định – sử dụng 1’bz).

In kết quả ra bằng $display.

**Yêu cầu viết Testbench:**

Cho pattern = 2’b10, en = 1.

Sau đó, cho en = 0.

Quan sát kết quả.